

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-213158

(43)Date of publication of application : 24.08.1990

(51)Int.Cl.

H01L 27/04

H01L 27/06

H01L 29/784

(21)Application number : 01-034031

(71)Applicant : NEC CORP

(22)Date of filing : 13.02.1989

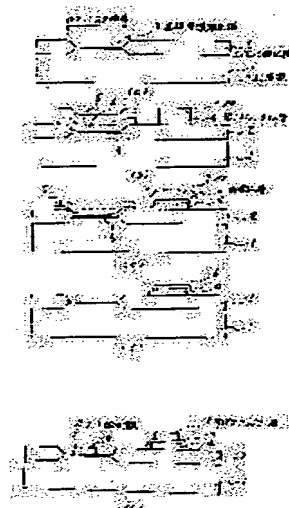
(72)Inventor : FURUKAWA MAKOTO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce a damage on a silicon substrate in a MOS transistor region and to attain an excellent capacity of isolation of an element by leaving a polysilicon layer behind in the MOS transistor region on the occasion when one electrode of a capacitor is formed.

CONSTITUTION: A prescribed transistor region and an element isolation region are formed by oxidizing the surface of a semiconductor substrate 1 selectively, a first polycrystalline silicon layer 4 is formed on the whole surface, and thereafter first and second patterns are formed selectively of the first polycrystalline silicon 4 in a prescribed capacity region on the element isolation region and in the transistor region by anisotropic etching respectively. Next, an insulating film 6 is formed on the whole surface of the aforesaid semiconductor substrate 1 and thereafter the insulating film 6 is made to be left on the aforesaid first pattern by anisotropic etching. Then, the transistor region is etched to expose the surface of the semiconductor substrate 1, an oxide film 8 is formed on the exposed surface of the semiconductor substrate 1, and thereafter a second polycrystalline silicon layer 9 having a prescribed shape is formed in the transistor region and the capacity region.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

DEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-213158

⑮ Int. Cl.³

H 01 L 27/04
27/06
29/784

識別記号

C

庁内整理番号

7514-5F

⑬ 公開 平成2年(1990)8月24日

7735-5F
8422-5F

H 01 L 27/06
29/78

1 0 2 F
3 0 1 C

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-34031

⑰ 出 願 平1(1989)2月13日

⑱ 発 明 者 古 川 誠 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

の第2の多結晶シリコン層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

1. 発明の名称

半導体装置の製造方法

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特にアナログ回路において2層ポリシリコンによるキャパシタを有するMOS半導体装置の製造方法に関する。

〔従来の技術〕

従来の2層ポリシリコンによるキャパシタを搭載するMOS半導体装置の製造方法は、第2図(a)に示すようにMOSトランジスタ領域を分離させるため、選択酸化(LOCOS酸化)を行なった後、トランジスタ領域のシリコン基板1表面を保護する為の酸化膜3を形成し、続いて第2図(b)のように1層目の多結晶シリコン(以下、ポリシリコンと記す)層4'を全面に成長させ、フォトリソ(以下、PRと略記する)パターンニングによりLOCOS酸化膜2上にキャパシ

2. 特許請求の範囲

半導体基板表面を選択的に酸化し、所定のトランジスタ領域および素子分離領域を形成する工程と、前記半導体基板の全面に第1の多結晶シリコン層を形成した後、異方性エッチングによって前記素子分離領域上の所定の容量領域および前記トランジスタ領域にそれぞれ選択的に該第1の多結晶シリコンにより第1および第2のパターンを形成する工程と、前記半導体基板全面に絶縁膜を形成した後、異方性エッチングによって前記第1のパターン上に該絶縁膜を残在させる工程と、前記トランジスタ領域にエッチングを施し、前記半導体基板表面を露出させる工程と、該露出した半導体基板表面に酸化膜を形成する工程と、前記トランジスタ領域および前記容量領域に所定の形状

タの一方の電極を形成する。

次にキャパシタの誘電体となる層6をたとえば、酸化膜および窒化膜により形成し、1層目のポリシリコン層4'を覆うように所定の形状にPR7によりパターンニングする。この後トランジスタ領域の保護酸化膜3を第2図(c)のようにエッチング除去する。シリコン基板1上にゲート酸化膜8を再び形成し、キャパシタの他方の電極及びMOSトランジスタのゲート電極となるポリシリコン層9'を形成し、所定の形状にパターンニングするという方法がとられていた。

〔発明が解決しようとする課題〕

上述した従来の製造方法では、トランジスタ領域のシリコン基板表面は、1層目のポリシリコン層形成前に200～300Å程度の薄い保護酸化膜を設けているだけで、後工程の1層目のポリシリコン層のエッチング及び誘電体層のエッチングにより保護酸化膜も削られて基板がむき出しになる可能性がある上、異方性のドライエッチング時において基板が直接ダメージをうける等、保護膜

としての機能が十分ではなかった。こうした基板のダメージを防ぐため保護酸化膜を600～700Å程度に厚く形成すると、ゲート酸化膜の形成工程前に行なう基板保護酸化膜の除去工程においてエッチング量を大きくせねばならなくなったり、そのため素子分離用のLOCOS酸化膜の一部もエッチング除去され、十分な素子分離機能を得られなくなるという問題がある。

〔目的〕

本発明の目的は、MOSトランジスタ領域のシリコン基板へのダメージが少なく、かつ良好な素子分離能力を有する半導体装置の製造方法を提供するものである。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、半導体基板表面を選択的に酸化し、所定のトランジスタ領域および素子分離領域を形成する工程と、前記半導体基板の全面に第1の多結晶シリコン層を形成した後、異方性エッチングにより前記素子分離領域上の所定の容量領域および前記トランジスタ領域

に該第1の多結晶シリコンによる第1および第2のパターンを形成する工程と、前記半導体基板全面に絶縁膜を形成した後、異方性エッチングを行ない前記第1のパターン上に該絶縁膜を残す工程と、前記トランジスタ領域にエッチングを施こし、前記半導体基板を露出させる工程と、該露出した半導体基板表面に酸化膜を形成する工程と、前記トランジスタ領域および前記容量領域に所定の形状の第2の多結晶シリコン層を形成する工程とを有する。そのため本発明では、第1の多結晶シリコン層および絶縁膜のパターンニング時に施される異方性エッチングの際に、トランジスタ領域の半導体基板上第1の多結晶シリコン層が設けられているために、エッチングのダメージを基板が直接受けることはない。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例のキャパシタ素子部及びトランジスタ領域部の断面工程図である。

第1図(a)にシリコン基板1に素子分離のLO

COS酸化膜2を形成し、トランジスタ領域のシリコン基板1に100Å程度の保護酸化膜3を成長させたものを示す。次に第1のポリシリコン層4を約2300Å程度成長させ、PRパターンニングにより第1図(b)に示すように前記第1のポリシリコン層4をキャパシタ電極部及びトランジスタ領域に残す。次にキャパシタの誘電体層6を酸化膜(約200Å)及び窒化膜(約300Å)でウェハ全面に成長させPRパターンニングによりキャパシタ電極部のポリシリコン層4のみを覆うようにPR7によりパターンニング形成する。この時、誘電体層6を完全に除去するためにオーバーエッチングを行なうので、トランジスタ領域のポリシリコン層4も同時にある程度削られて第2図(c)のように薄くなる。次に第2図(d)のようにトランジスタ領域のポリシリコン層4及び保護酸化膜3をそれぞれウェットエッチングにより除去する。次にMOSトランジスタのゲート酸化膜9を熱酸化により100Å程度形成した後、第2のポリシリコン層8を4000Å程度成長させ、

BEST AVAILABLE COPY

キャパシタ電極及びトランジスタのゲート電極をPRパターンニングにより同時に形成する。

このように本発明では、キャパシタの一方の電極を形成する際に、MOSトランジスタ領域にポリシリコン層を残しておくことによりキャパシタ電極形成工程、及び誘電体層のエッチング工程において、基板保護酸化膜が削り取られることがない。そのため、エッチング工程中に基板表面が露出することがなくなり基板表面が良好な状態に保たれる。

〔発明の効果〕

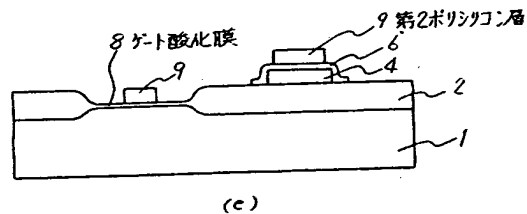
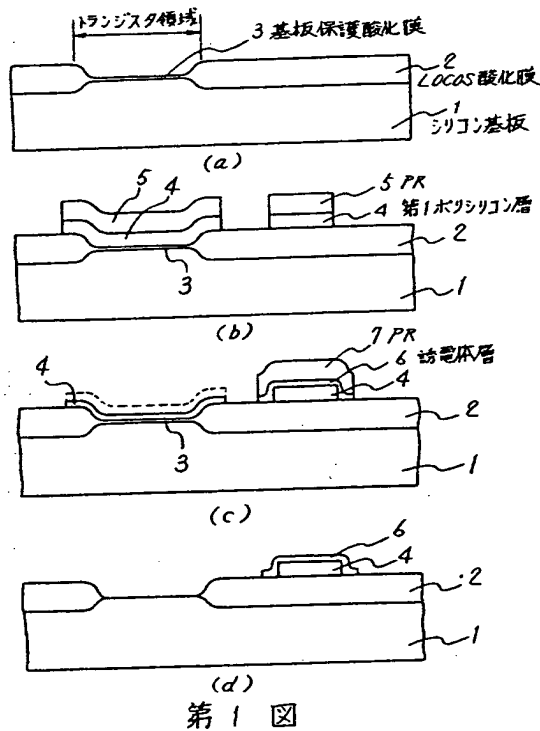
以上説明したように本発明は、2層ポリシリコンによるキャパシタ素子形成時に1層目のポリシリコン層をトランジスタ領域に残しておくことにより、従来トランジスタ領域を保護酸化膜のみで保護していた時に比べて、1層目のポリシリコン層の異方性ドライエッチング及び誘電体窒化膜のドライエッチングにより保護酸化膜が削られてシリコン基板表面がダメージをうけるのを防ぐことができ、基板表面を十分に保護できる効果がある。

4. 図面の簡単な説明

第1図(a)～(e)は本発明の一実施例を示す断面工程図、第2図は従来例を示す断面工程図である。

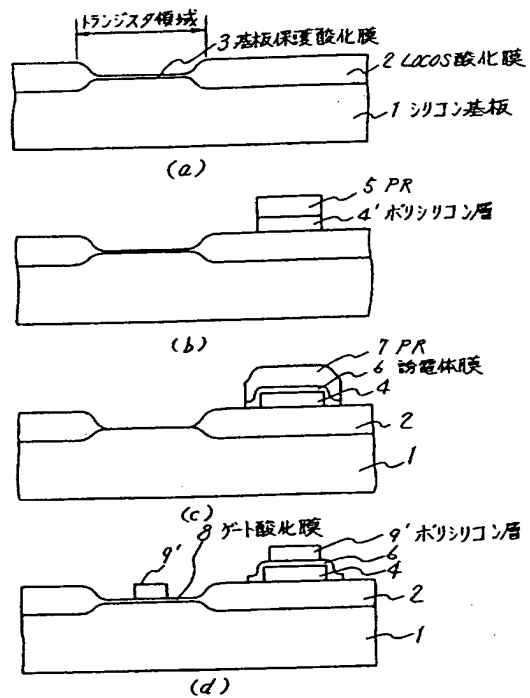
1……シリコン基板、2……LOCOS酸化膜、3……基板保護酸化膜、4、4'……第1ポリシリコン層、4'、9'……ポリシリコン層、5、7……PR（フォトリソ）、6……誘電体層（窒化膜及び酸化膜）、8……ゲート酸化膜、9……第2ポリシリコン層。

代理人 弁理士 内 原 晋



第1図

BEST AVAILABLE COPY



第2図

BEST AVAILABLE COPY